



IFW

P/2292-89

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of

Woo Young LEE

Date: March 20, 2006

Serial No.: 10/801,744

Group Art Unit: 2826

Filed: March 15, 2004

Examiner: Thomas L. DICKEY

For: HYBRID FERROMAGNET/SEMICONDUCTOR SPIN DEVICE AND
FABRICATION METHOD THEREOF

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Sir:

In accordance with 35 U.S.C. §119, Applicant confirms the prior request for priority under the International Convention and submits herewith a certified copy of the following document in support of the claim:

KOREAN PATENT APPLICATION NO. 10-2003-0016270 FILED MARCH 14, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as First Class Mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on March 20, 2006

Max Moskowitz

Name of applicant, assignee or
Registered Representative

Signature

March 20, 2006

Date of Signature

Respectfully submitted,

Max Moskowitz

Registration No.: 30,576

OSTROLENK, FABER, GERB & SOFFEN, LLP

1180 Avenue of the Americas

New York, New York 10036-8403

Telephone: (212) 382-0700



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0016170
Application Number

출원 년 월 일 : 2003년 03월 14일
Date of Application
MAR 14, 2003

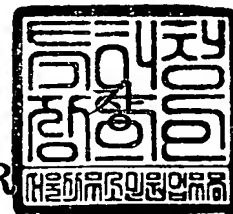
출원인 : 한국과학기술연구원
Applicant(s) KOREA INSTITUTE OF SCIENCE AND TECHNOLOGY



2004 년 03 월 04 일

특 허 청

COMMISSIONER



CERTIFIED COPY OF
PRIORITY DOCUMENT

【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0001
【제출일자】 2003.03.14
【국제특허분류】 G11B 5/39
【발명의 명칭】 하이브리드형 자성체/반도체 스핀소자 및 그 제조방법
【발명의 영문명칭】 HYBRID FERROMAGNET/SEMICONDUCTOR SPIN DEVICE AND FABRICATION METHOD THEREOF

-【출원인】

【명칭】 한국과학기술연구원
【출원인코드】 3-1998-007751-8

【대리인】

【성명】 박장원
【대리인코드】 9-1998-000202-3
【포괄위임등록번호】 2003-011757-4

【발명자】

【성명의 국문표기】 이우영
【성명의 영문표기】 LEE, Woo Young
【주민등록번호】 630902-1231721
【우편번호】 136-865
【주소】 서울특별시 성북구 하월곡2동 39-1 KIST아파트 A동 302호
【국적】 KR

【발명자】

【성명의 국문표기】 한석희
【성명의 영문표기】 HAN, Suk Hee
【주민등록번호】 570814-1038021
【우편번호】 139-790
【주소】 서울특별시 노원구 중계1동 360-15 건영3차아파트 310동 1504호
【국적】 KR

【발명자】

【성명의 국문표기】 장준연
【성명의 영문표기】 CHANG, Joon Yeon

【주민등록번호】	650810-1273522
【우편번호】	143-900
【주소】	서울특별시 광진구 중곡3동 174-157
【국적】	KR
【발명자】	
【성명의 국문표기】	김희중
【성명의 영문표기】	KIM,Hi Jung
【주민등록번호】	541226-1406018
【우편번호】	137-040
【주소】	서울특별시 서초구 반포동 2-1 신반포아파트 6동 101호
【국적】	KR
【발명자】	
【성명의 국문표기】	이한주
【성명의 영문표기】	LEE,Han Joo
【주민등록번호】	760919-1120612
【우편번호】	137-765
【주소】	서울특별시 서초구 반포2동 경남아파트 7동 702호
【국적】	KR
【발명자】	
【성명의 국문표기】	황웅준
【성명의 영문표기】	HWANG,Woong Jun
【주민등록번호】	750513-1052310
【우편번호】	151-061
【주소】	서울특별시 관악구 봉천11동 1655-18
【국적】	KR
【발명자】	
【성명의 국문표기】	신무환
【성명의 영문표기】	SHIN,Moo Whan
【주민등록번호】	600331-1051415
【우편번호】	140-727
【주소】	서울특별시 용산구 이촌1동 403번지 강촌아파트 103동 1505호
【국적】	KR

【발명자】

【성명의 국문표기】

김영근

【성명의 영문표기】

KIM, Young Keun

【주민등록번호】

621129-1026016

【우편번호】

135-906

【주소】

서울특별시 강남구 압구정2동 한양아파트 72동 1109호

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박장원 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

7 면 7,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

15 항 589,000 원

【합계】

625,000 원

【감면사유】

정부출연연구기관

【감면후 수수료】

312,500 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

상온에서 강자성체로부터 스핀분극된 캐리어를 반도체에 주입하여 얻어지는 스핀밸브 효과로부터 메모리 및 논리소자로 응용이 가능한 스핀주입소자 및 스핀 전계효과 트랜지스터를 제공한다.

【대표도】

도 5a

【색인어】

스핀주입소자, 자성체/반도체 구조, 자기저항, 스핀밸브, 스핀분극 전계효과 트랜지스터

【명세서】

【발명의 명칭】

하이브리드형 자성체/반도체 스핀소자 및 그 제조방법 {HYBRID FERROMAGNET/SEMICONDUCTOR SPIN DEVICE AND FABRICATION METHOD THEREOF}

【도면의 간단한 설명】

도 1은 본 발명에서 고안한 스핀주입소자의 모식도.

도 2a 및 2b는 본 발명에서 제작된 실제 스핀소자 및 소자 어레이의 사진.

도 3은 강자성 전극과 반도체간 접합 특성을 확인하기 위하여 측정된 전극/실리콘간의 전류-전압 특성을 보여주는 그래프.

도 4a 내지 4c는 강자성 전극과 실리콘사이의 접합면 차이에 따른 전류-전압의 특성을 보여주는 그래프 및 스핀이동의 모식도.

도 5a 및 5b는 전극의 선평이 100 nm, 200 nm인 소자와 100 nm, 300 nm인 소자의 자기저항 변화를 보여주는 그래프.

도 6은 4 - 300 K에서 온도변화에 따른 자기저항 비의 변화를 보여주는 그래프.

도 7은 4 K에서 측정한 자계에 따른 자기저항곡선의 변화를 보여주는 그래프.

도 8은 열처리 전후의 자계에 따른 자기저항 변화를 보여주는 그래프.

도 9는 스핀분극 전계효과 트랜지스터 (spin-polarized field effect transistor, spin FET)의 구조를 보여주는 단면도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10> 본 발명은 하이브리드형 자성체/반도체 스핀소자에 관한 것이다.

<11> 1948년 벨 연구소에서 진공관을 대체하는 트랜지스터가 개발된 이후 실리콘 CMOS (complimentary metal oxide semiconductor) 기술을 기반으로 하는 전자소자기술은 무어의 법칙 (마이크로칩에 저장할 수 있는 데이터의 양이 매 18개월마다 두 배씩 증가한다는 법칙)을 따르면서 눈부신 발전을 이루어 왔다. 하지만 지난 40년에 걸친 기술적 진보로 인하여 무어의 법칙을 충실히 따라 온 현재의 전자소자기술은 거의 포화 상태이며 향후 20년 후에는 반도체 소자의 크기가 실리콘 격자상수 (약 0.54 nm)에 이르러 사실상 소자제작이 불가능할 것으로 예상된다. 따라서 새로운 차세대 소자의 출현이 시급히 요구되고 있다.

<12> 이에 대한 대안으로 나노기술을 이용한 CMOS 기술을 심화하여 나노크기의 게이트를 갖는 MOSFET (metal oxide semiconductor field effect transistor)의 개발을 비롯하여, SET (single electron transistor)과 양자점 (quantum dot)을 이용한 메모리 및 논리소자의 개발을 서두르고 있다. 또한 최근에는 고분자를 이용한 박막 트랜지스터 (thin film transistor)가 개발되어 여러 논리회로를 고분자 박막으로 만들 수 있다는 것을 증명함으로써 분자 수준의 조작을 통한 다양한 분자 전자 (molecular electronics) 소자가 개발되고 있다. 이 분자전자소자 분야는 반도체를 기반으로 하는 현재의 전자소자기술과 달리 새로운 재료를 이용하여 차세대 전자소자를 개발하려는 움직임이다.

- <13> 현재까지의 반도체 전자소자는 전자의 두가지 특성, 즉 전하와 스핀중에서 스핀을 무시하고 캐리어의 전하 (음의 전하를 가진 전자와 양의 전하를 가진 정공)만을 전기장으로 제어하고 있다. 실리콘 반도체 산업의 이면에는 스핀에 의존하는 전자이동 (spin-dependent electron transport)을 실현하려는 일부 과학자들의 끊임없는 노력의 결과로 전자의 전하와 함께 스핀의 자유도를 고려하여 전자소자를 개발하려는 새로운 패러다임인 스핀트로닉스 (spintronics, spin과 electronics의 합성어) 기술이 근래에 와서 과학기술계에 큰 관심을 끌고 있다. 이는 기존의 전자소자와 비교하여 스핀전자소자의 고유 특성인 비휘발성 (non-volatility)과 함께 초고속 및 초저전력 등의 특성을 가지고 있기 때문에 향후 나노기술의 발전과 함께 차세대 전자소자의 혁명적 성장을 주도할 것으로 전망되고 있다.
- <14> 대표적 예로서 재생헤드는 1988년에 발견된 강자성 금속과 상자성 금속의 적층구조에서 일어나는 거대자기저항 (giant magnetoresistance, GMR) 현상을 이용한 것이다. 거대 자기저항 현상은 Fe/Cr 다층박막에서 처음 발견되었으며 이는 초고진공 (ultrahigh vacuum, UHV) 기술이 진보함에 따라 결함이 없는 균일한 나노두께 (1 nm이하)의 다층박막 제조가 가능하였기 때문이었다. GMR 현상이 실제 소자에 응용되기 시작한 것은 두 강자성 금속층 사이에 Cu 등의 비자성 금속층을 삽입하여 각 자성층의 자화가 독립적으로 자유롭게 거동할 수 있는 스핀-밸브 (spin-valve) 구조가 개발되면서부터 이다.
- <15> 스핀 밸브 구조의 경우, 삽입된 비자성 금속층의 두께가 충분히 두꺼워 인접한 두 강자성 금속층간의 자기적 결합을 없애 수 0e 정도로 매우 작은 외부 자계에도 민감하게 반응할 수 있다는 장점이 있다. GMR의 발견이후 스핀트로닉스 기술중 가장 두드러진 진보중의 하나는 상온에서 자성체/절연체/자성체 박막구조에서 관찰된 스핀분극된 전자의 터널링 현상인 TMR(tunneling

magnetoresistance) 현상이다. 저온에서 이 현상이 발견된 것은 30 여년 전의 일이지만 응용적인 측면에서 매우 중요한 상온 터널링 현상은 1995년에 발견되었다.

- <16> 스핀트로닉스 연구분야의 가장 큰 관심은 전하와 스핀의 자유도를 동시에 고려하여 메모리 및 논리용 트랜지스터를 구현하려는데 있다. 스핀분극된 전자를 자성금속으로부터 상자성 금속에 주입하는 스핀주입 (spin injection)에 관한 연구가 일부 진행되어 왔다. 이와 같은 스핀주입은 스핀축적 (spin accumulation) 등과 같은 흥미로운 현상이 일으키는 것으로 보고되었다. 1993년 두개의 자성금속 사이에 Au 등의 상자성 금속을 끼워넣는 구조로 한쪽의 자성금속을 스핀소스로 이용하여 상자성 금속에 스핀을 주입하고 다른 쪽의 자성금속으로 주입된 스핀을 검출하는 스핀 스위치 저장소자로서 양극 스핀 트랜지스터 (bipolar spin transistor)를 제조하였다. 이와 같이 금속으로 구성된 스핀 트랜지스터는 스핀주입 현상을 실험적으로 증명하였지만, 임피던스가 작아 메모리 소자로 사용하는 데는 한계를 가지고 있다

【발명이 이루고자 하는 기술적 과제】

- <17> 상기한 현안을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 상온에서 강자성체로부터 스핀분극된 캐리어를 반도체에 주입하여 얻어지는 스핀밸브 효과로부터 메모리 및 논리 소자로 응용이 가능한 스핀주입소자 및 스핀 전계효과 트랜지스터를 제조하는 방법을 제공하는 것이다.
- <18> 기타, 본 발명의 목적 및 특징은 이하의 상세한 설명 및 특허청구범위에서 더욱 명확하게 나타날 것이다.

【발명의 구성 및 작용】

- <19> 상기 목적을 달성하기 위하여 본 발명은 반도체 기판과, 상기 기판 상에 형성된 자성체로 된 소스 영역, 상기 소스 영역으로 주입된 스핀이 통과하는 상기 기판 상의 스핀 채널영역, 및 상기 스핀 채널영역을 통과한 스핀이 검출되는 상기 기판 상에 형성된 자성체로 된 드레인 영역을 포함하여 구성되는 하이브리드형 자성체/반도체 스핀소자를 제공한다.
- <20> 상기 자성체는 스핀분극(spin polarization)이 큰 자성금속으로서, Fe, Co, Ni, FeCo, NiFe 중에서 선택되거나, GaMnAs, InMnAs, GeMn, GaMnN 등과 같은 자성반도체중에서 선택되는 어느 하나일 수 있으며, 또한, CrO₂ 등과 같이 스핀분극 100%의 반금속(half metal)을 사용할 수도 있다.
- <21> 상기 반도체는 Si, GaAs, InAs, Ge 중에서 선택되는 어느 하나를 사용할 수 있다. 또한, 상기 스핀 채널영역은 SOI(Si on insulator) 또는 화합물반도체의 이차원 전자가스층(two dimensional electron gas)으로 형성할 수도 있다.
- <22> 상기 소스 영역 및 드레인 영역은 적용되는 소자의 형태에 따라 5 - 1000 nm 범위의 선폴을 가지며, 서로 선폴이 다르게 형성되어 스핀 스위칭이 일정 자계범위에서 반평행하도록 하는 것이 바람직하다. 상기 소스 영역 및 드레인 영역 사이의 간격은 10 nm ~ 1 μ m 의 범위가 적당하다.
- <23> 또한, 본 발명은 반도체 기판에 캐리어가 이동하는 채널영역을 형성하고, 상기 채널 영역의 좌우의 반도체 기판 표면을 식각하고, 상기 채널 영역의 좌우 식각된 영역에 자성체로 소스 영역 및 드레인 영역을 형성하고, 상기 자성체 소스 영역 및 드레인 영역에 자기장을 가하

면서 열처리하는 것을 포함하여 이루어지는 하이브리드형 자성체/반도체 스핀소자 제조방법을 제공한다.

- <24> 상기 소자는 반도체와 자성체의 접촉면을 크게하고 스핀주입을 용이하게 하기 위하여 반도체 표면을 10 - 500 nm 범위의 깊이로 식각한 다음, 소스 영역과 드레인 영역을 형성한다.
- <25> 상기 자성체와 반도체간의 접촉저항은 오믹(Ohmic) 또는 쇼트키(schottky)일 수 있다. 한편, 자성금속과 반도체 사이에 0.5 - 2 nm 범위의 두께로 Al_2O_3 , AlN 등의 중간막을 삽입하여 터널링에 의한 스핀 주입을 발생시킬 수도 있다.
- <26> 상기 열처리는 자성체의 장축 방향으로 0.5 - 5 kOe의 자기장을 가해 주면서 진공상태에서 100 - 500℃의 온도로 10 - 60 분간 열처리한다.
- <27> 본 발명은 나노크기의 강자성체 전극을 이용하는 아주 민감한 소자로서 제작시 고도의 청정도와 단계별 이동이 매우 신속히 이루어져야 한다.
- <28> 본 발명에 따른 자성체/반도체 소자의 제조방법 및 그 물리적 특성을 실시예를 통하여 구체적으로 설명한다.
- <29> 기판으로 N-형 실리콘 웨이퍼를 준비하였다. 먼저 실리콘 계면에서의 누설전류를 방지하기 위하여 열산화방법을 이용하여 실리콘 다이옥사이드층 (SiO_2)을 약 20 nm의 두께로 성장시켰다. 이렇게 산화막을 성장시킨 후 dicing saw를 이용하여 시편을 11.8 × 1.8 mm로 절단하였다.
- <30> 준비된 샘플의 실험 진행에 앞서 외부환경과의 오염원을 제거하기 위하여 표 1과 같은 세정공정을 실시하였다. 먼저, TCE, Acetone, Methanol, DI water를 사용하여 세정한 후, $H_2SO_4 : H_2O_2$ (4 : 1)의 비율로 혼합된 고온의 Acidic Solution에서 10분 동안 남아있는 표면

의 유기물질과 잔존 메탈을 완전히 제거한 후 마지막으로 DI water를 사용하여 10분 동안 세척하고 질소 가스를 사용하여 건조시켰다.

<31> 【표 1】

실리콘 웨이퍼 세정공정

Solvent Removal	
1	Immerse in boiling trichloroethylene(TCE) for 3 min.
2	Immerse in boiling acetone for 3 min.
3	Immerse in boiling methyl alcohol for 3 min.
4	Wash in DI water for 3 min.
Heavy Metal Clean	
1	Immerse in a solution of $H_2SO_4 : H_2O_2$ (4 : 1) for 10min at a temperature of 120℃.
2	Quench the solution under running DI water for 1 min.
3	Wash in running DI water for 10 min.
4	N ₂ Blowing.

<32> 세정이 끝난 후, 전극 패터닝을 위하여 CAD를 이용하여 마스크 위에 전극을 디자인하였다. 자기장의 방향에 의한 전극의 스핀밸브효과를 얻기 위하여 주입구(source)및 검출구(drain)의 선폭을 각각 100 nm와 300 nm로 다르게 하였고, 길이는 20 μm 로 하였다. 두 전극사이의 간격은 100 nm에서 1 μm 로 스핀전자가 실리콘 내에서 어떠한 거동을 보이는지 확인하기 위하여 채널의 길이를 변화시켰다.

<33> 이렇게 만들어진 마스크를 이용하여 전자선 노광장치로 패터닝 하였다. 이 공정은 일반적인 사진 노광공정과 달리 노광 마스크를 사용하지 않고, 컴퓨터에 의해 제어되는 전자총을 사용한 전자선으로 다층 감광막위에 노광을 시킨 후 MIBK:IPA(3:1)용액에서 현상하였다. 다층 감광막은 실리콘 기판의 수분을 제거하기 위하여 free baking을 160℃에서 2분간 실시 후, 스핀코터를 이용하여 copolymer와 PMMA 4%를 5000rpm에서 도포 후 170℃에서 soft baking을 3분간 실시하여 350nm의 두께를 가지도록 형성하였다.

- <34> 감광막을 단일층이 아닌 다층으로 올린 이유는 각 층의 분자량이 다른 층을 형성하여 분자량이 적은 아래층의 감광막이 더 넓게 현상되어 전극 증착 후 리프트 오프(lift-off)공정을 용이하게 하기 위한 것이다.
- <35> 자성체 전극과 실리콘과의 접촉면을 최대로 하기 위하여 패터닝된 부분을 식각하였다. 식각공정은 실리콘 다이옥사이드와 실리콘 두층을 다른 방법으로 동시에 진행하였다. 실리콘 다이옥사이드의 경우 BOE(buffered oxide etchant)를 이용하여 상온에서 식각용액이 담긴 비이커에 자석막대기를 집어넣은 후 교반시키면서 20 nm 습식식각 하였다. 실리콘은 건식식각 (reactive ion etcher)장비를 이용하여 식각하였다. 식각 전, 사용하는 반응챔버의 청결을 유지하기 위하여 산소와 아르곤 가스의 혼합기체를 이용하여 챔버내 오염원을 제거하였고, 다시 식각 분위기시 사용되는 SF₆가스를 이용하여 연습용 샘플(dummy wafer)을 챔버내에 장착하여 챔버의 분위기를 조절하였다. 사전준비가 완료된 후 압력 100 mtorr, 파워 100 Watt, SF₆ 가스 유량 20 sccm의 조건에서 샘플을 40 nm와 280 nm로 식각하였다.
- <36> 식각공정 완료 후 DC 마그네트론 스퍼터링 시스템을 이용하여 강자성체 전극을 증착하였다. 증착전에는 반드시 사전단계에서 이동시 발생된 자연 산화막을 제거하기 위하여 BOE(buffered oxide etchant)용액에 잠시 담군 후 깨끗이 세척한 후 진공챔버에 장착하였다. 이렇게 산화막을 철저히 제거하는 이유는 실리콘과 전극사이에서 스핀전자의 주입 및 검출이 제대로 이루어 질 수 있도록 하기 위함이다. 전극의 증착도 챔버의 오염원을 제거하기 위하여 공정전, 1×10^{-8} torr이하의 초기진공 상태를 유지한 후, 약 10분간 Fe₁₆Co₈₄(스핀 분극률:52%)으로 사전 스퍼터링(pre-sputtering)을 수행한 후, 본격적인 전극의 증착을 진행하였다. 진행 시 강자성 전극의 자화 용이축을 형성하기 위하여 전극의 장축 방향으로 자석을 붙여서 각각 55 nm, 295 nm 증착하였다. 한편 대기 중에서의 전극의 표면 산화를 방지하기 위하

여 그 위에 바로 탄탈륨(Ta)을 5 nm 씩아 보호막을 형성하였다. 강자성체 전극의 증착은 상기 적용된 스퍼터링 이외에도 이미 알려진 다양한 증착 방법이 사용될 수 있을 것이다.

<37> 이렇게 전극의 증착이 완료되면 패터닝시 사용하였던 감광막을 리프트 오프(lift-off)공정을 이용하여 샘플을 아세톤이 담긴 용기에 담아 감광막이 완전히 제거될 때까지 약 24시간 담귀 놓는다. 이때에는 강자성 전극이 매우 미세한 크기이므로 리프트 오프 공정시 단락되지 않도록 매우 주의하여야 한다.

<38> 도 1은 상기의 공정으로 제작된 스핀주입소자의 모식도이다. 기판(12) 상에 산화막(13)이 형성되어 있고, 소스와 드레인으로서 폭이 서로 다른 두 전극(11, 14)이 형성되어 있는 것을 볼 수 있다. 도 2a 및 2b는 상기의 공정으로 제작된 실제 스핀소자의 사진이다. 식별번호 21과 22는 자성체로 된 소스와 드레인을 각각 나타내며, 도 2b는 5개의 소스와 드레인 어레이를 Ti/Au의 콘택패드(contact pad)와 함께 보여주고 있다.

<39> 구현된 소자는 매우 작은 크기이므로 직접 측정하기에는 불가능하다. 따라서 저항이 매우 작은 도체를 충분히 크게 제작하여 전극에 접합하여 측정할 수 있도록 하여야 한다. 따라서 이를 위하여 측정 시 가해준 인가전압을 소멸없이 강자성 전극에 전달할 수 있는 재료의 선정과, 전극과 패드간의 최적의 오믹(ohmic)접합을 이룰 수 있도록 패드를 디자인하는 것이 중요하다. 이를 위해서 선택한 재료는 금(Au)이다. 그런데 직접 금을 실리콘 기판 위에 증착하는 것은 두 재료 사이의 접합력이 좋지 않기 때문에 문제가 있어 사이에 티타늄(Ti)을 증착하여 문제점을 개선하였다. 접촉패드의 형성은 사진 노광공정을 이용하여야 하기 때문에 크롬(Cr)막이 씌인 유리 마스크 위에 디자인한 패드를 제작하였다. 패터닝은 사진 노광장비를 이용하여 최적조건(AZ-5214 감광액을 시편위에 도포한 후, 스펀코터에서 4000 rpm으로 회전한 다음, 75℃의 오븐속에서 약 15분간 baking을 한다.)으로 준비된 시편에 자외선으로 약 4.5초간 감광시켜서 제작

한 후 현상액에 담궈서 현상하였다. 이렇게 패터닝 된 시편을 충분히 깨끗이 세척한 후, 위에서 언급한 두 재료(Ti/Au)를 순서대로 20 nm, 200 nm의 두께로 초기진공이 2×10^{-6} torr 상태인 전자선 증발 증착기(e-beam evaporator)를 사용하여 증착하였다. 이렇게 패드를 증착 한 후에는 패터닝 하기 위해 도포한 감광액을 제거하기 위해 아세톤을 사용하여 리프트 오프(lift-off)공정을 실시하였다. 이렇게 해서 스핀밸브 효과를 이용한 실리콘 나노스핀 소자를 제작하였다.

<40> 본 발명에 따른 오믹 접합을 하고 있는 이러한 두 개의 터미널 단자를 가지는 소자는 높은 임피던스 소자에서 발생할 수 있는 문제점들을 방지할 수 있다. 강자성체 전극과 실리콘간의 수직형 접합을 통한 오믹의 거동을 보이는 소자를 제작하여 특성을 조사하였다.

<41> 도 3은 강자성 전극과 반도체간 접합 특성을 확인하기 위하여 측정된 전극/실리콘간의 전류-전압 특성을 보여준다. 도면에서 알 수 있는 바와 같이 쇼트키(schottky)접합의 거동을 이루고 있는 것으로 두 접합사이에 아무런 오염원이 없이 완벽하게 접합되어 있는 것을 확인하였다. 또한 전극/실리콘 간의 쇼트키 장벽에 의한 열 이온 방출에 따른 쇼트키 장벽 높이를 다음 식을 통하여 계산하였다.

<42>

$$j_{st} = A^* T^2 \exp \frac{-q \Phi_b}{kT} \quad (1)$$

<43>

여기서, $-q \Phi_b$ 는 쇼트키 장벽의 높이이고 A^* 는 리차드슨 상수이다. 이 식을 통하여 장벽의 높이를 구한 결과 0.49 eV를 얻을 수 있다. 전극과 실리콘의 접합면이 소자에서 얼마나 전류-전압의 특성에 영향을 주는지 알아보기 위해 식각공정시 시편을 60 nm와 300 nm로 구분하여 소자를 제작하였다.

<44> 도 4a 내지 4c는 강자성 전극과 실리콘사이의 접합면 차이에 따른 전류-전압의 특성 및 스핀이동의 모식도를 보여준다. 도 4a는 실리콘 표면을 식각하지 않은 경우로서 저항이 수십 MΩ 이고, 실리콘 표면을 60nm로 식각한 경우(도 4b)에서도 역시 수십 kΩ으로 저항이 매우 높지만, 실리콘 표면을 350 nm로 충분히 식각한 경우(도 4c)에는 수백 Ω로 측정되었다. 식각을 충분히하여 강자성 전극과 실리콘의 접합면을 확대시키면 저항이 현저하게 감소하는 것을 확인할 수 있었다. 하지만 공정상 식각을 오래하는 것은 전극의 단락 및 반응 가스에 의한 소자의 오염의 원인이 될 수 있으므로 적절한 식각조건을 확립하는 것이 필요하다. 소자의 기판으로 사용된 실리콘의 도핑 농도와 이동도를 홀 측정하여 구하였다.

<45>

$$n = -\frac{I_x B_z}{ed V_H} \quad (2)$$

<46>

$$\mu_n = \frac{I_x L}{en V_x W d} \quad (3)$$

<47>

n 은 전자농도이고, V_H 는 홀 전압, μ_n 는 전자의 이동도이다. 위의 식을 이용해 구해보면 전자농도는 $7.1 \times 10^{16} \text{cm}^{-3}$ 이고, 비저항이 약 $5 \Omega \text{cm}$ 이며, 전자의 이동도는 $948.6 \text{ cm}^2/\text{V-sec}$ 이었다.

<48> 본 발명에 따른 실리콘 나노스핀 소자에서의 저항변화는 전극의 장축 방향(즉, 길이 방향)으로 자기장을 가하여 변화 시켰을 때 첫 번째 강자성체 전극(source)에서 스핀 분극된 전자를 실리콘 내에 주입(inject)하여 그 정보를 잃지 않고 실리콘 내를 이동(transport)시켜, 두 번째 전극(drain)에서 검출(detected)하여 이에 따라 변화하는 전기적인 신호를 측정하는 것을 의미한다.

<49> 도 5a 및 5b는 각각 전극의 선폭이 100 nm, 200 nm인 소자와 100 nm, 300 nm인 소자의 자기저항 변화를 보여준다. 전극의 선폭을 100nm(41), 200nm(42)로 했을 경우 두 전극의 자화방향이 반평행 (anti-parallel)을 유지하는 구간이 상당히 짧은데 반해(도 5a), 전극의 선폭이 100nm(43), 300nm(44)인 경우 반 평행한 자화방향을 유지하는 구간이 수십 0e정도로 크다(도 5b). 이는 선폭이 300 nm인 전극이 가지는 형상자기 이방성에 의한 보자력(coercivity)이 이보다 작은 선폭의 전극보다 작아 스위칭이 잘 되는 것을 확인할 수 있다. 따라서 본 발명에서 제작한 스핀소자에서 스핀밸브 효과를 상온에서 확인하였다.

<50> 도 6은 4 - 300 K에서 온도변화에 따른 자기저항 비의 변화를 보여준다. 본 발명에서 스핀소자의 자기저항의 값은 다음의 식에 의해 구하였다.

$$\Delta R = R_H - R_{H=0} / R_{H=0} \quad (4)$$

<52> 온도 변화에 따른 자기저항의 변화는 거의 일어나지 않고 상온까지 약 0.1 %정도를 유지하는 것을 확인 할 수 있었다.

<53> 도 7은 4 K에서 측정한 자계에 따른 자기저항곡선의 변화를 보여준다. 높은 자기장의 범위(약 20 kOe)에서는 자기장세기가 커질수록 실리콘에 의한 자기저항의 변화(ordinary magnetoresistance)가 나타난다. 이는 전자가 실리콘 내를 거동하고 있음을 확인 시켜주는 전형적인 로렌츠 힘(Lorentz force)의 결과로 생각된다.

<54> 도 8은 열처리 전후의 자계에 따른 자기저항 변화를 보여준다. 스퍼터링법으로 증착한 강자성 전극은 전극 내부에 결함이 존재하므로 열처리후 향상된 자기 저항비를 얻을 수 있었다. 본 실시예에서는 전극의 장축 방향으로 자기장을 약 600 Oe 가해 주면서 1×10^{-6} torr의 진공상태에서 300℃의 온도로 20분간 열처리하였다. 열처리 후 약 80 %정도의 향상된 자기저항 변화를 관

찰할 수가 있다. 이는 강자성 전극내부의 결합이 열처리로 안정한 자구 (magnetic domain)를 갖기 때문으로 생각된다.

<55> 본 발명에서 제조된 하이브리드 자성체/반도체 소자의 일례로서 스핀 트랜지스터를 도 9에 도시하였다. 스핀 트랜지스터의 소스(101)와 드레인(102)으로 자성체를 사용하였다. 스핀분극된 캐리어는 소스(101)로부터 채널영역(105)에 주입되고 다시 드레인(102)에서 검출된다. 채널영역으로서 화합물반도체의 이차원 전자가스층(two dimensional electron gas)을 이용할 수도 있는데, 이 경우에는 채널영역에 주입된 캐리어를 외부자기장에 따른 저항 변화를 이용하여 제어할 수 있다. 또는 게이트(103)의 전압으로 채널영역으로 주입된 스핀분극된 캐리어의 세차운동(precession)을 제어할 수도 있다. 이와 같은 방법으로 스핀분극 전계효과 트랜지스터 (spin-polarized field effect transistor, spin FET)를 구현한다. 식별번호 104 및 106는 양자우물구조(quantum well structure)의 배리어층(절연층)을 나타낸다.

【발명의 효과】

<56> 이와 같이 본 발명에 따르면 종래의 반도체 트랜지스터에서 캐리어의 전하만을 전기장으로 제어하는 것과 달리 하이브리드형 자성체/반도체 소자에서는 소스와 드레인에 자성체를 사용하여 스핀을 반도체에 주입하고 검출하므로써 캐리어의 스핀을 이용한 메모리 및 논리소자로 응용할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판과,

상기 기판 상에 형성된 자성체로 된 소스 영역

상기 소스 영역에서 스핀 분극된 캐리어가 주입되는 상기 기판 상의 스핀 채널영역 및

상기 스핀 채널영역을 통과한 스핀이 검출되는 상기 기판 상에 형성된 자성체로 된 드레인 영역을 포함하여 구성되는

하이브리드형 자성체/반도체 스핀소자.

【청구항 2】

제1항에 있어서, 상기 자성체는 스핀분극(spin polarization)이 큰 자성금속으로서, Fe, Co, Ni, FeCo, NiFe 중에서 선택되는 어느 하나인 하이브리드형 자성체/반도체 스핀소자.

【청구항 3】

제1항에 있어서, 상기 자성체는 GaMnAs, InMnAs, GeMn, GaMnN 중에서 선택되는 어느 하나인 하이브리드형 자성체/반도체 스핀소자.

【청구항 4】

제1항에 있어서, 상기 자성체는 CrO₂ 등과 같이 스핀분극 100%의 반금속(half metal)인 하이브리드형 자성체/반도체 스핀소자.

【청구항 5】

제1항에 있어서, 상기 반도체는 Si, GaAs, InAs, Ge 중에서 선택되는 어느 하나인 하이브리드형 자성체/반도체 스핀소자.

【청구항 6】

제1항에 있어서, 상기 스핀 채널영역은 SOI(Si on insulator) 또는 화합물반도체의 이차원 전자가스층(two dimensional electron gas)인 하이브리드형 자성체/반도체 스핀소자.

【청구항 7】

제1항에 있어서, 상기 소스 영역 및 드레인 영역은 5 - 1000 nm 범위의 선폭을 가지는 하이브리드형 자성체/반도체 스핀소자.

【청구항 8】

제7항에 있어서, 상기 소스 영역 및 드레인 영역 사이의 간격은 10 nm ~ 1 μ m 의 범위인 하이브리드형 자성체/반도체 스핀소자.

【청구항 9】

제7항에 있어서, 상기 소스 영역 및 드레인 영역은 서로 선폭이 다르게 형성되어 스핀 스위칭이 일정 자계범위에서 반평행한 것을 특징으로 하는 하이브리드형 자성체/반도체 스핀소자.

【청구항 10】

제1항에 있어서, 소스 영역과 드레인 영역이 형성된 반도체 기판 표면은 10 - 500 nm 범위의 깊이로 식각되어 있는 것을 특징으로 하는 하이브리드형 자성체/반도체 스핀소자.

【청구항 11】

제1항에 있어서, 자성체와 반도체의 접촉저항이 옴릭 (Ohmic), 또는 쇼트키(schottky)인 것을 특징으로 하이브리드형 자성체/반도체 스핀소자.

【청구항 12】

제1항에 있어서, 자성금속과 반도체 사이에 0.5 - 2 nm 범위의 두께로 Al_2O_3 또는 AlN 을 중간막으로 삽입하여 터널링에 의한 스핀주입을 발생시키는 것을 특징으로 하이브리드형 자성체/반도체 스핀소자.

【청구항 13】

게이트와, 상기 게이트 하부에 형성된 절연층과, 상기 절연층 좌우측에 자성체를 사용하여 형성된 소스 영역 및 드레인 영역과, 상기 절연층 하부의 이차원전자가스층을 포함하여 구성되며,

상기 게이트에 인가되는 전압에 의하여 스핀분극된 캐리어의 세차운동(precession)을 제어하는 것을 특징으로 스핀분극 전계효과 트랜지스터.

【청구항 14】

반도체 기판에 캐리어가 이동하는 채널영역을 형성하고,

상기 채널 영역의 좌우의 반도체 기판 표면을 10 - 500 nm 범위의 깊이로 식각하고,

상기 채널 영역의 좌우 식각된 영역에 자성체로 소스 영역 및 드레인 영역을 형성하고,

상기 자성체 소스 영역 및 드레인 영역에 자기장을 가하면서 열처리하는 것을 포함하여 이루어지는

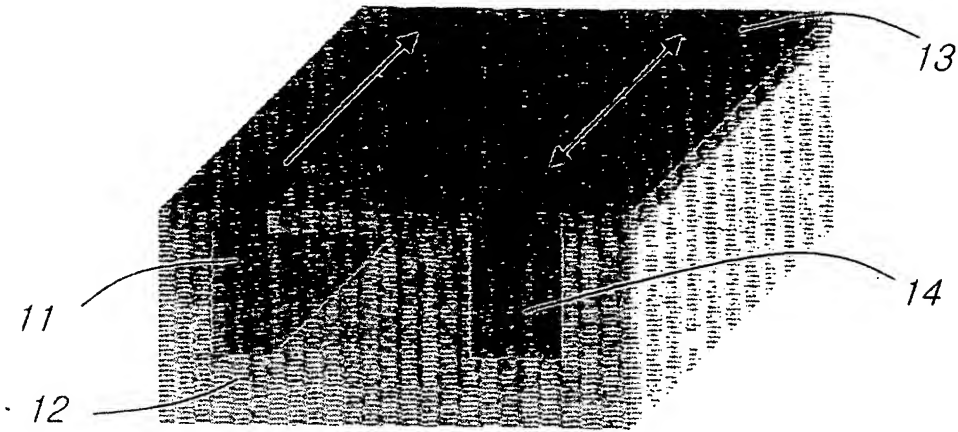
하이브리드형 자성체/반도체 스핀소자 제조방법.

【청구항 15】

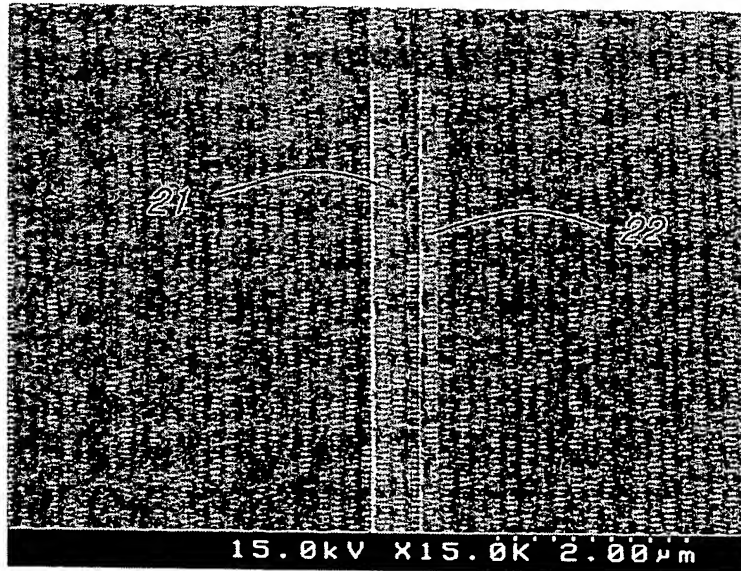
제14항에 있어서, 상기 열처리 단계는 자성체의 장축 방향으로 0.5 - 5 kOe의 자기장을 가해 주면서, 진공상태에서 100 - 500℃의 온도로 10 - 60 분간 열처리하는 것을 특징으로 하는 하이브리드형 자성체/반도체 스핀소자 제조방법.

【도면】

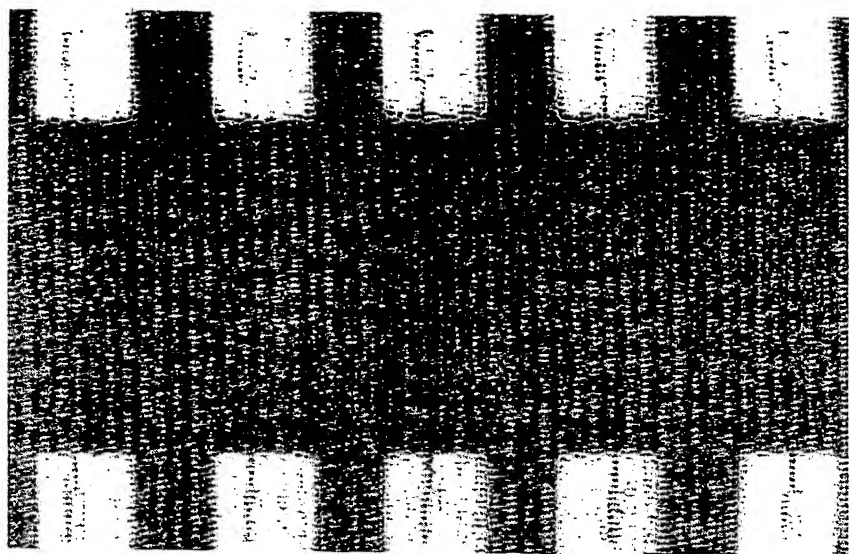
【도 1】



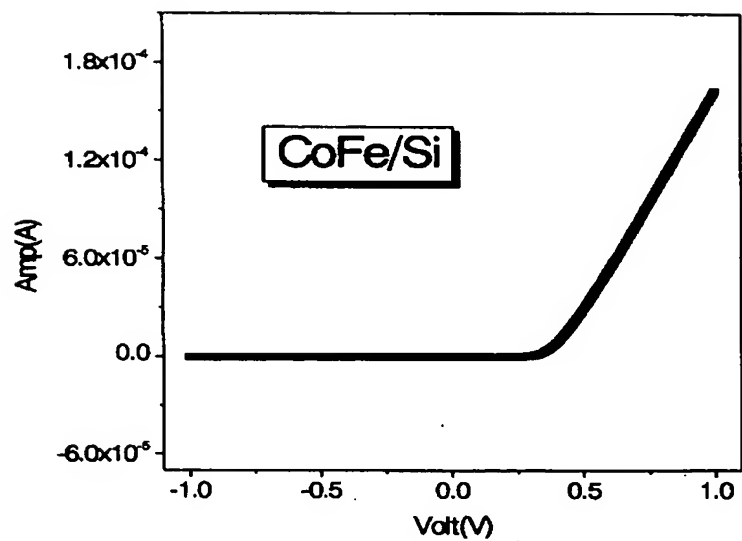
【도 2a】



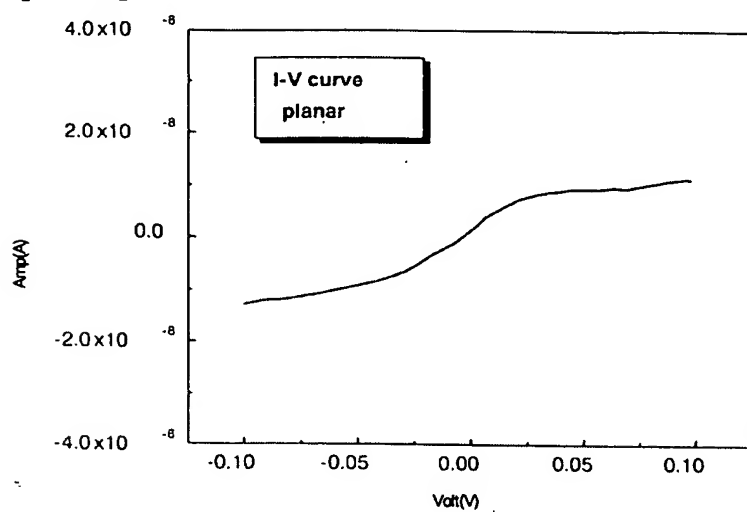
【도 2b】



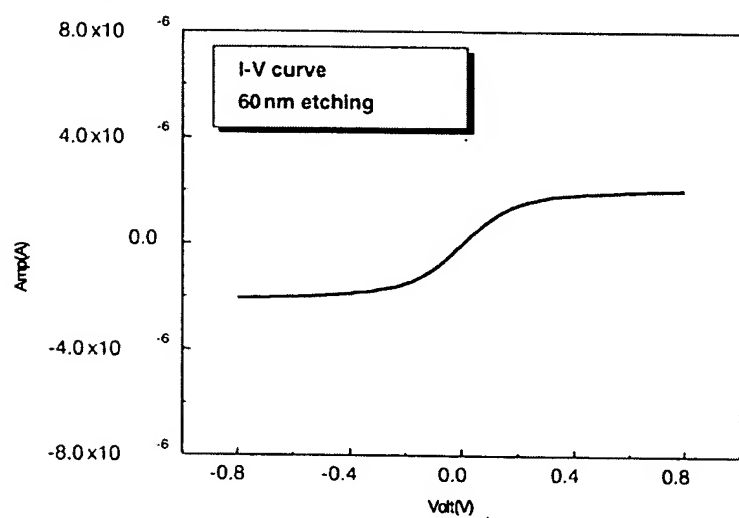
【도 3】



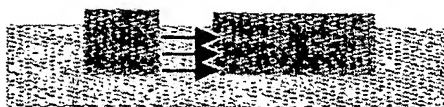
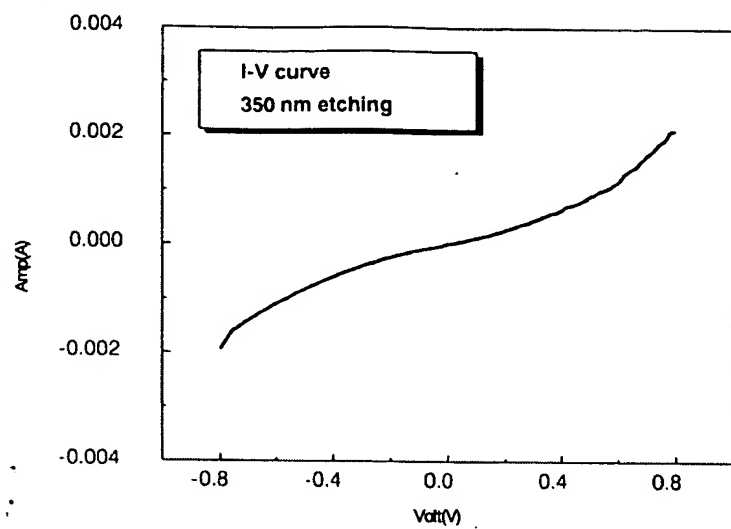
【도 4a】



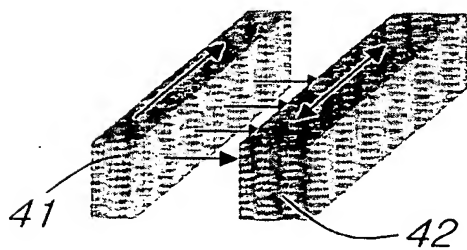
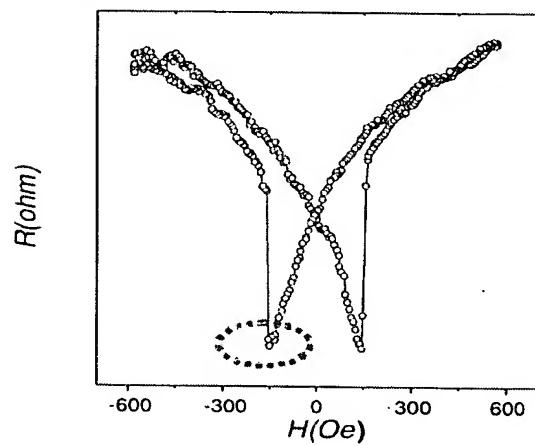
【도 4b】



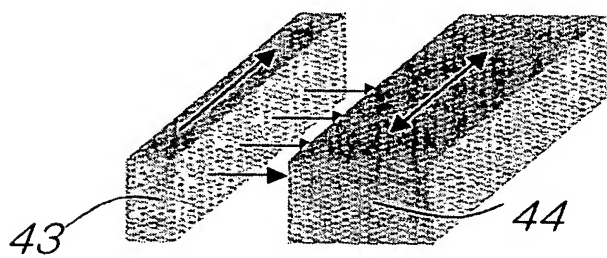
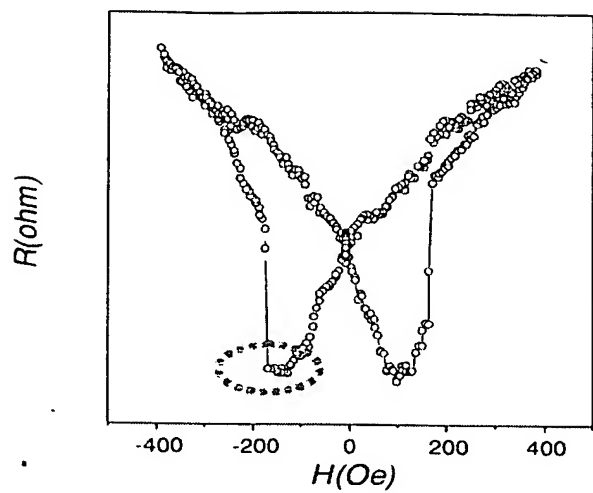
【도 4c】



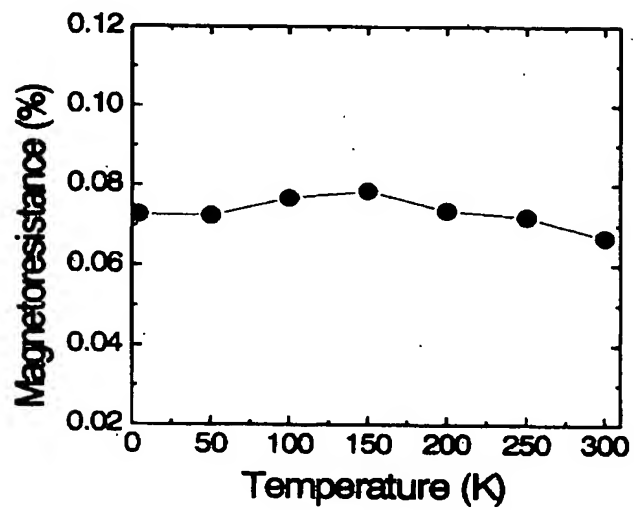
【도 5a】



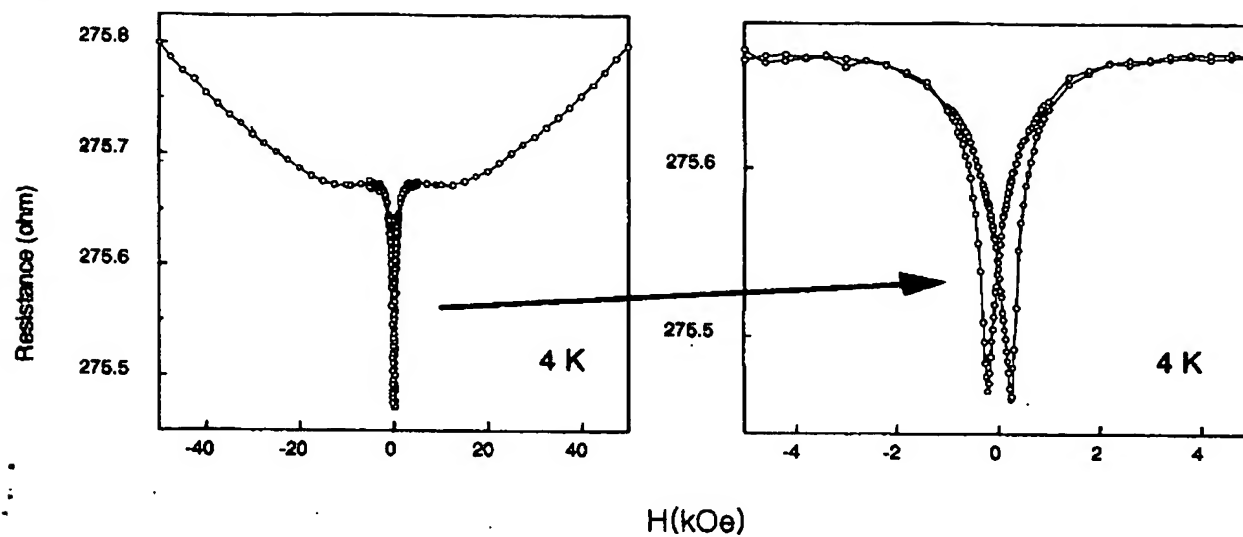
【도 5b】



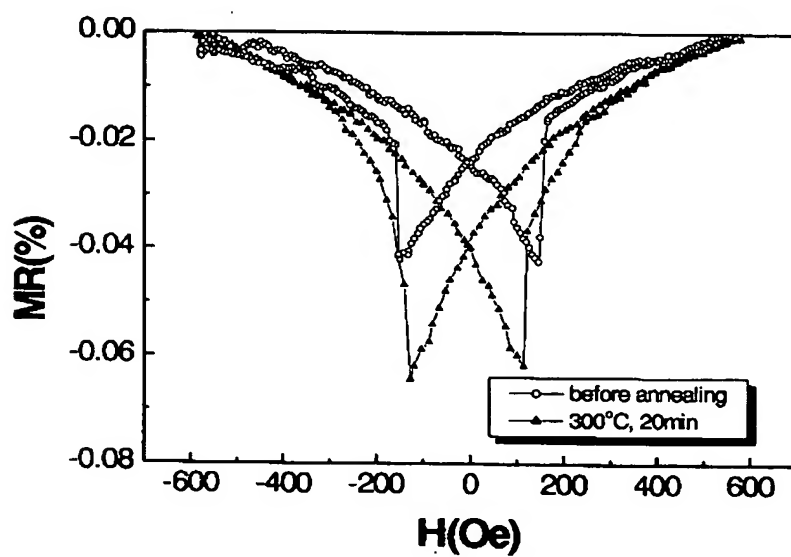
【도 6】



【도 7】



【도 8】



【도 9】

